

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-318368  
 (43)Date of publication of application : 07.11.2003

(51)Int.CI. H01L 27/105  
 G11C 11/15  
 H01L 43/08

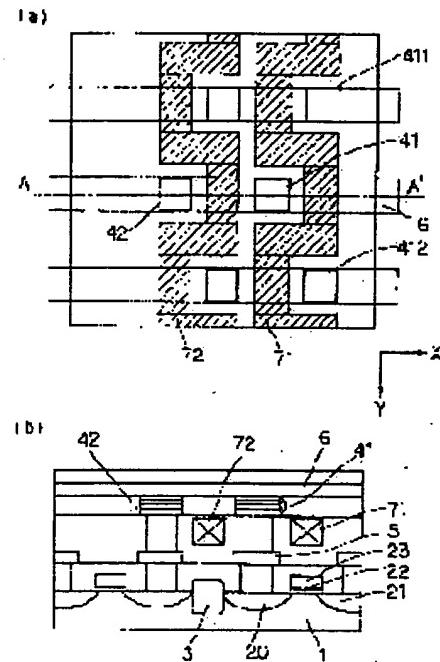
(21)Application number : 2002-120884 (71)Applicant : CANON INC  
 (22)Date of filing : 23.04.2002 (72)Inventor : SEKIGUCHI YOSHINOBU

## (54) MAGNETIC MEMORY DEVICE AND METHOD OF DRIVING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a memory device which can be driven with low power consumption and hardly has wire disconnection by generating a magnetic field needed for magnetization reversal without increasing a wiring current in a vertically magnetized TMR element.

**SOLUTION:** Wirings 71 and 72 which are so formed as to surround magnetoresistive effect elements 41 and 42 from three directions effectively apply vertical magnetic fields to the magnetoresistive effect elements 41 and 42. The wiring 71 is so formed as to meander through a plurality of magnetoresistive effect elements 411 and 41 which are arranged in line among those arranged into a matrix, simultaneously applying magnetic fields of opposite directions to the adjacent magnetoresistive effect elements 411 and 41. The plurality of magnetoresistive effect elements 411, 41, and 412 which are arranged in the extended direction of the wiring 71 and through which the wiring 71 meanders are positioned alternately on both sides of the center line of the wiring 71 in the extended direction of the wiring 71, resulting in reduction in distance between the magnetoresistive effect elements 41 and 42 which are adjacent to each other in a direction vertical to the extended direction of the wiring 71.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(18)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-318368  
(P2003-318368A)

(43)公開日 平成15年11月7日(2003.11.7)

(51)Int.Cl'	識別記号	F I	マーク〇(参考)
H 01 L 27/105		G 11 C 11/15	1 4 0 5 F 0 8 3
G 11 C 11/15	1 4 0		1 5 0
	1 5 0	H 01 L 43/08	Z
H 01 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数 7 OL (全 8 頁)

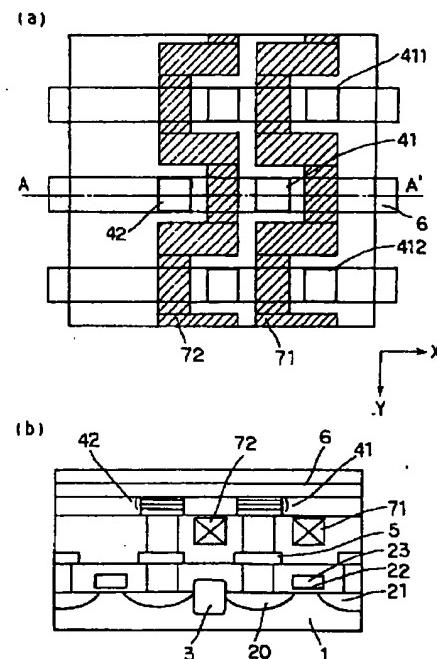
(21)出願番号	特願2002-120884(P2002-120884)	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成14年4月23日(2002.4.23)	(72)発明者	関口 芳信 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74)代理人	100088328 弁理士 金田 嘉之 (外2名) Fターム(参考) S083 FZ10 GA05 JA35 JA36 JA37 JA39 JA40 LA01 LA11 MA06 MA16 MA19

(54)【発明の名称】 磁性メモリ装置およびその駆動方法

(57)【要約】

【課題】 垂直磁化TMR素子において、配線電流を増大させることなく、磁化反転に必要な磁場を発生させ、低消費電力で、配線の断裂が生じにくいメモリ装置を提供する。

【解決手段】 磁気抵抗効果素子41, 42を3方向から囲むように配置された配線71, 72が、磁気抵抗効果素子41, 42に効率的に垂直磁場を印加する。また、配線71は、マトリクス状に配置されたうちの一列に並んだ複数の磁気抵抗効果素子411, 41を縫うように蛇行して配置されており、隣接する磁気抵抗効果素子411, 41に同時に逆方向の磁場を印加する。配線71の延伸方向に並び、配線71によって縫われる複数の磁気抵抗効果素子411, 41, 412が、延伸方向の中心線から両側に交互にずれて配置されており、配線71の延伸方向に垂直な方向に互いに隣接する磁気抵抗効果素子41, 42の間隔が狭められている。



## 【特許請求の範囲】

【請求項1】薄い絶縁層を保磁力の異なる2層の垂直磁化膜で挟んで構成される垂直磁化型の磁気抵抗効果素子がマトリクス状に配置された磁性メモリ装置において、

前記磁気抵抗効果素子に垂直に磁場を印加するための少なくとも1つの配線が、前記磁気抵抗効果素子を囲むように配置されていることを特徴とする磁性メモリ装置。

【請求項2】前記配線が前記磁気抵抗効果素子を3方向から囲むように配置されていることを特徴とする請求項1記載の磁性メモリ装置。

【請求項3】前記配線が、マトリクス状に配置されたうちの一列に並んだ複数の前記磁気抵抗効果素子を縫うように蛇行して配置されていることを特徴とする、請求項2記載の磁性メモリ装置。

【請求項4】前記配線の延伸方向に並び、前記配線によって縫われる複数の前記磁気抵抗効果素子が、前記延伸方向の中心線から両側に交互にずれて配置されていることを特徴とする、請求項3記載の磁性メモリ装置。

【請求項5】前記配線が第1の書き込み配線であり、前記第1の書き込み配線の延伸方向と垂直に延伸する第2の書き込み配線が、前記第1の配線の延伸方向に並んだ複数の前記磁気抵抗効果素子の間に配置されており、前記第1の書き込み配線および前記第2の書き込み配線に同時に電流が流れると、前記第1の書き込み配線に隣接し前記第2の書き込み配線を挟んだ、対をなす2つの磁気抵抗効果素子を互いに逆方向に磁化することで1ビットの情報を記録することを特徴とする、請求項4記載の磁性メモリ装置。

【請求項6】前記第2の書き込み配線が、該第2の書き込み配線の延伸方向に並んだ複数の磁気抵抗効果素子と電気的に接続されており、該磁気抵抗効果素子に記録された情報を読み出すとき、該磁気抵抗効果素子に電圧を印加するために使用されることを特徴とする、請求項5記載の磁気メモリ装置。

【請求項7】請求項5または6に記載された磁気メモリ装置の駆動方法において、

前記第1の配線に一方向に電流を流して、該第1の配線に隣接する前記磁気抵抗効果素子の所望の対に第1の情報を書き込む第1のステップと、

前記第1の配線に前記第1のステップと逆方向の電流を流して、前記第1の配線に隣接する前記磁気抵抗効果素子の対のうち、前記第1のステップで情報を書き込まなかつた対に第2の情報を書き込む第2のステップを有することを特徴とする、磁気メモリ装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、磁性層の磁化方向により情報を記録する不揮発磁気メモリ装置およびその駆動方法に関する。

## 【0002】

【従来の技術】磁気メモリは、半導体メモリと同じく稼動部のない固体メモリである。しかし、磁気メモリは、電源が断たれても情報を失わない、繰り返し書換え回数が無限回である、放射線が入射しても記録内容が消失する危険性がない等、半導体メモリと比較して利点を持っている。

【0003】強磁性トンネル接合を利用した磁気メモリ素子は、2つの強磁性層の間に、数nm厚の薄い絶縁体

からなるトンネル障壁層を挟んだ構造を持っている。磁気抵抗効果素子(TMR素子)と呼ばれるこの素子では、強磁性層間に一定の電流を流した状態で強磁性層面内に外部磁界を印加すると、両磁性層の磁化の相対角度に応じて抵抗値が変化する磁気抵抗効果現象が現れる。この2つの磁性層の磁化が平行であり、かつ同じ方向であるとき、磁化が平行であると言われる。磁化が平衡のとき、素子の抵抗値は最小となる。また、2層の磁性層の磁化が平行であるが、磁化の向きが反対であるとき、磁化が反平行であると言われる。磁化が反平行のとき、素子の抵抗値が最大となる。

【0004】2つの磁性層の保磁力を違いを与えておき、外部から印加する磁界の強さを調整することによって、2層の磁性層の磁化状態を平行とするか、または反平行とするかを自由に選択することができる。また、抵抗値の違いから、2つの磁性層の磁化状態が平行か反平行かを検出することができる。そのため、この素子は、2層の磁化状態によって情報を記憶し、抵抗値の違いによって情報を読み出すことのできるメモリ素子として利用できる。さらに、この素子の磁化状態は、外部から磁場が印加されないかぎり維持されるため、この素子は不揮発メモリを構成することができる。

【0005】トンネル障壁層にAlの表面酸化膜を用いると、20%近い磁気抵抗変化率を示す強磁性トンネル接合素子が得られるようになったことから、強磁性トンネル接合素子の磁気ヘッドや磁気メモリへの応用の可能性が高まってきた。このように大きな磁気抵抗変化率を報告している代表例として、「1996年4月、ジャーナル・オブ・アプライド・フィジックス、79巻、4724~4729頁(Journal of Applied Physics, vol. 79, 4724~4729, 1996)」がある。

【0006】メモリ装置では、集積度を向上させるために、素子サイズの小型化が要求される。しかし、磁気メモリ装置では、素子サイズを小型化すると、磁性層の反磁界が急激に増大する。磁化方向によって情報を記録するメモリ層には、反磁界以上の外部磁界の印加が必要であり、その外部磁界を誘起するために大きな書き込み電流が必要となる。電流が大きくなれば、メモリ装置の消費電力は増大するという問題がある。また、大電流が流れれば配線における電流密度が高くなるので、

エレクトロマイグレーションにより、配線の断裂が懸念される。

【0007】そこで、素子サイズを小さくした際の反磁界の増大を回避する方法の一例として、垂直方向に磁化する磁性層で構成された垂直磁化TMR素子が特開平11-213650号公報に提案されている。垂直磁化TMR素子は、素子を微細化しても反磁界の増大は非常に小さく、また面内磁化TMR構成のように磁化方向を安定させるために、素子を磁化容易軸方向に長くする必要がないので、高密度集積が可能となる。このように磁性膜に垂直磁化膜を用いることによって、面内磁化膜を用いた素子では不可能であったメモリセルの高集積化が達成されている。

#### 【0008】

【発明が解決しようとする課題】垂直TMR素子は垂直方向に磁化するので、書き込み配線に電流を流すことにより誘起される磁界はTMR素子に垂直に印加させる必要がある。したがって、書き込み配線はTMR素子の上下方向ではなく、横方向に配置する必要があるので、TMR素子と書き込み配線とは、プロセスの位置合わせ余裕程度の距離は離れることになる。

【0009】一方、面内TMR素子では、書き込み配線上に素子が積層されるので、TMR素子と書き込み配線との距離を絶縁層の厚さ程度まで接近配置することができる。垂直磁化TMR素子は、面内磁化TMR素子に比べて書き込み配線との距離が離れるので、垂直磁化TMR素子と面内磁化TMR素子の磁性層の反転磁界が同じであれば、磁化を反転させるだけの磁場を素子に印加するのに、より大きな電流が必要とされ、それだけ消費電力も大きくなる。

【0010】本発明の目的は、垂直磁化TMR素子と書き込み配線の距離が遠くても、配線電流を増大させることなく、磁化反転に必要な磁場を発生させることができ、低消費電力で、電流密度の増大による配線の断裂の生じにくいメモリ装置を提供することである。

#### 【0011】

【課題を解決するための手段】上記目的を達成するために、本発明の磁性メモリ装置は、薄い絶縁層を保磁力の異なる2層の垂直磁化膜で挟んで構成される垂直磁化型の磁気抵抗効果素子がマトリクス状に配置された磁性メモリ装置において、前記磁気抵抗効果素子に垂直に磁場を印加するための少なくとも1つの配線が、前記磁気抵抗効果素子を囲むように配置されていることを特徴としている。

【0012】したがって、配線が磁気抵抗効果素子を囲むように配置されているので、配線に電流が流れることにより誘起される磁場が磁気抵抗効果素子に効果的に印加されるので、配線に流す電流を増大させることなく、磁気抵抗効果素子に印加される磁場を増大させることができる。

10

【0013】また、前記配線が前記磁気抵抗効果素子を3方向から囲むように配置されていてもよい。

【0014】さらに、前記配線が、マトリクス状に配置されたうちの一列に並んだ複数の前記磁気抵抗効果素子を縦うように蛇行して配置されていてもよい。

【0015】したがって、配線が複数の磁気抵抗効果素子を縦うように蛇行して配置されているので、配線に電流を流すと、隣接する磁気抵抗効果素子に同時に逆方向の磁場が印加され、2つの磁気抵抗効果素子を対として相補動作させることができる。

【0016】さらに、前記配線の延伸方向に並び、前記配線によって縫われる複数の前記磁気抵抗効果素子が、前記延伸方向の中心線から両側に交互にずれて配置されているてもよい。

【0017】したがって、配線によって縫われる複数の磁気抵抗効果素子が交互にずれて配置されているので、配線の延伸方向に垂直な方向に互いに隣接する磁気抵抗効果素子の間隔を狭めることができる。

20

【0018】さらに、前記配線が第1の書き込み配線であり、前記第1の書き込み配線の延伸方向と垂直に延伸する第2の書き込み配線が、前記第1の配線の延伸方向に並んだ複数の前記磁気抵抗効果素子の間に配置されており、前記第1の書き込み配線および前記第2の書き込み配線に同時に電流が流れると、前記第1の書き込み配線に隣接し前記第2の書き込み配線を挟んだ、対をなす2つの磁気抵抗効果素子を互いに逆方向に磁化することで1ビットの情報を記録してもよい。

30

【0019】さらに、前記第2の書き込み配線が、該第2の書き込み配線の延伸方向に並んだ複数の磁気抵抗効果素子と電気的に接続されており、該磁気抵抗効果素子に記録された情報を読み出すとき、該磁気抵抗効果素子に電圧を印加するために使用されてもよい。

【0020】したがって、第2の書き込み配線で読み出し配線を兼ねることができますので、読み出し配線の数を削減することができる。

40

【0021】本発明の磁気メモリ装置の駆動方法は、上述された磁気メモリ装置の駆動方法において、前記第1の配線に一方向に電流を流して、該第1の配線に隣接する前記磁気抵抗効果素子の所望の対に第1の情報を書き込む第1のステップと、前記第1の配線に前記第1のステップと逆方向の電流を流して、前記第1の配線に隣接する前記磁気抵抗効果素子の対のうち、前記第1のステップで情報を書き込まなかった対に第2の情報を書き込む第2のステップを有している。

50

#### 【0022】

【発明の実施の形態】本発明は、書き込み配線を、単なる直線でなくTMR素子を囲むように配置することにより、書き込み配線の電流を増大させることなく、TMR素子に印加される磁場を大幅に増大させるものである。

【0023】本発明の実施形態の磁性メモリ装置では、

互いに垂直な2つの書き込み配線のうちの一方が、垂直磁化TMR素子を3方向から囲み、その書き込み配線の延伸方向に並んだ垂直磁化TMR素子を縫うように蛇行して配置されている。

【0024】また、蛇行しない他方の書き込み配線が、蛇行して配置された書き込み配線の延伸方向に配列されている隣接素子間に配置されることにより、蛇行しない1本の書き込み配線により、その両側の隣接素子を互いに逆方向に磁化させて相補動作させ、2セルに1ビットの情報を記録する。

(第1の実施形態) 図1は、第1の実施形態の磁性薄膜メモリにおけるTMR素子および配線の配置を模式的に示した図である。図1では、2つの書き込み配線であるX配線11とY配線12が互いに直交する方向に延伸している。また、Y配線12は垂直磁化TMR素子を3方向から囲むように蛇行して配置されている。

【0025】Y配線12に、図1の矢印の方向の電流が流れると、蛇行して流れる電流によって誘起される磁場がTMR素子に3方向から印加されるので、TMR素子に印加される磁場は、Y配線12が直線の場合と比較して3倍程度となる。

【0026】また、Y配線12からの磁場は、Y方向に並んでいるTMR素子13a、13bに対して、紙面を裏から表に貫く方向と、表から裏に貫く方向とが交互に印加される。

【0027】一方、X配線11はY方向に配列しているTMR素子13a、13b間に配置されており、一部分では絶縁層を介してY配線12と重なっている。X配線11に、図1の矢印の方向の電流が流れると、X配線11の上側のTMR素子13aには、紙面を裏から表に貫く方向の磁場が印加され、下側のTMR素子13bには、紙面を表から裏に貫く方向の磁場が印加される。そして、これらの磁場は、Y配線12から印加される磁場とそれそれ同方向であり、隣接するTMR素子13a、13b同士では互いに逆方向である。

【0028】したがって、Y配線12とX配線11の電流を逆方向にすると、隣接するTMR素子13a、13bの磁化状態は逆転する。例えば、2つのTMR素子13a、13bの磁化状態が図1(a)に示された状態のときを“0”に、図1(b)に示された状態のときを“1”に対応させることで情報が記録できる。このようにして、第1の実施形態の磁性薄膜メモリは、2つのTMR素子13a、13bで1ビットの情報を記録することができる。したがって、本実施形態の磁性薄膜メモリの駆動方法は、例えば、まず、Y配線12に図1(a)に示された方向に電流を流し、それと同時に、情報“0”を書き込むべき素子対に挟まれたX配線に図1(a)に示された方向に電流を流すことで所望の素子対に情報“0”を記録する。その後、Y配線12に図1(b)に示された方向に電流を流し、それと同時に、情

報“1”を書き込むべき素子対に挟まれたX配線に図1(b)に示された方向に電流を流すことで、残りの素子対に情報“1”を記録する。

【0029】図2は、第1の実施形態の磁性薄膜メモリのレイアウト図と、それに対応する断面構造図である。図2(a)はレイアウト図であり、図2(b)は図2(a)におけるA-A'断面の断面構造図である。

【0030】図2には、主に、X方向に隣接した2つのTMR素子41、42と、2つのTMR素子41、42に対応する選択用の電界効果型トランジスタ(FET)と、Y配線71、72と、読み出し配線6が示されている。また、図2には、さらにTMR素子41の上下に隣接するTMR素子411、412と、読み出し配線6の上下に隣接する読み出し配線62、61が示されている。図2を参照すると、TMR素子42用のY配線72は、2つ電界効果型トランジスタの素子分離領域3の上部に形成され、メモリ素子41用のY配線71は、電界効果トランジスタのソース領域21の上部に配置されている。

【0031】図2(b)によれば、p型シリコン基板1上に、SiO<sub>2</sub>からなる埋め込み型素子分離領域3と、スイッチング素子として機能する電界効果型トランジスタのドレインおよびソースとなるn型拡散領域20およびn型拡散領域21と、SiO<sub>2</sub>ゲート絶縁膜22とポリシリコンゲート電極23とが形成されている。

【0032】TMR素子41、42は、厚さ約1nmの酸化アルミニウム層を、垂直方向に磁化容易軸を有する2層のフェリ磁性体GdFeCo、TbFeCoで挟んだ構造を有している。そして、例えば、TMR素子41は、Ti/Nローカル配線5を介して、素子選択用の電界効果型トランジスタのドレイン20に接続されるとともに、Ti/A1SiCu/Tiで構成された読み出し用のビット線6に接続されている。

【0033】Y配線71、72は、それぞれTMR素子41、42を3方向から囲むように形成されており、TMR素子41、42の底面よりもp型シリコン基板1側に設けられている。

【0034】例えば、図2(a)において、Y配線71に電流が流れると、TMR素子41に面するY配線71の3つの部分により誘起された磁場が重なり合ってTMR素子71に印加されるので、Y配線が直線の場合と比較して、同じ大きさの電流で大きな磁場を印加できる。

【0035】また、図2(a)において、TMR素子41の上または下に隣接するTMR素子411、412は、Y配線71に逆周りに囲まれているため、TMR素子41と逆方向の磁場が印加され、Y配線を共有するTMR素子列には、交互に逆方向の磁場が印加される。

【0036】図1に示したように、X方向の書き込み配線であるX配線(図2(a)では不図示)は、Y方向に並んでいるTMR素子の間に配置されている。X配線に

図1（a）の矢印の方向に流れる電流により誘起される磁場は、そのX配線の上側にあるTMR素子に対して紙面の裏から表に向かい、配線の下側にあるTMR素子に対して紙面の表から裏に向かうので、隣接するTMR素子（図1ではTMR素子13a、13b）に対して互いに逆方向に印加される。

【0037】例えば、図2において、X配線がTMR素子41とTMR素子411の間にX配線があるとする。TMR素子41、411には互いに逆方向の磁場が印加される。したがって、隣接するTMR素子41、411には、Y配線71により発生する互いに逆方向の垂直磁場と、X配線により発生する同一方向の磁場が印加される。これにより、TMR素子41、411のメモリ層は互いに逆方向に磁化され、TMR素子41、411は相補的に動作し、1ビットの情報を記録する。

【0038】情報の読み出しに関しては、図2（b）に示されたように、TMR素子41の一端は素子選択用の電界効果型トランジスタに接続され、他端は読み出し配線6に接続される構成である。相補動作するTMR素子41、411の素子抵抗は、必ず、一方が高抵抗であり、他方が低抵抗である。したがって、TMR素子41、411の電界効果型トランジスタをオンにして、2つのTMR素子41、411に電流を流すと、それぞれの読み出し配線6、62の電位には差が生じる。この読み出し配線6、62の電位差を不図示の検出回路により検出すれば、情報を読み出すことができる。

【0039】以上説明したように、第1の実施形態によれば、Y配線がTMR素子を3方向から囲むように蛇行して配置されているので、書き込み電流を増大させることなく、TMR素子に印加される磁場を増大させることができ、消費電力を増大させずに、低消費電力で、電流密度の増大による配線の断裂の生じにくい磁性薄膜メモリを実現できる。

【0040】また、第1の実施形態によれば、Y配線がTMR素子を3方向から囲むように蛇行して、Y方向に隣接する各TMR素子に互いに逆方向の磁場を印加するよう配置されており、Y方向に隣接する2つのTMR素子の間にX配線が配置されているので、互いに逆方向の磁場がY方向に隣接する各TMR素子に交互に印加され、2つのTMR素子が相補動作して1ビットの情報を記録する磁性薄膜メモリが容易に実現される。

【0041】なお、X配線は、相補動作する一対のTMR素子の間に配置されるので、図1（a）に示されたように、TMR素子間に1つおきに配置される。一方、読み出し配線は、Y方向に並んだTMR素子毎に設ける必要がある。ここで、図3に示すように、読み出し配線をTMR素子間に配置し、かつ、X方向に並んでいるTMR素子と電気的に接続される構成とすれば、読み出し配線は、書き込み用のX配線を兼ねることができ、配線数を削減できる。

（第2の実施形態）図4は、第2の実施形態の磁性薄膜メモリのレイアウト図と、それに対応する断面構造図である。図4（a）はレイアウト図であり、図4（b）は図4（a）におけるA-A'断面の断面構造図である。

【0042】図4には、主に、X方向に隣接した2つのTMR素子41、42と、2つのTMR素子41、42に対応する選択用の電界効果型トランジスタ（FET）と、Y配線71、72と、読み出し配線6が示されている。また、図4には、さらにTMR素子41の上下に隣接するTMR素子411、412と、読み出し配線6の上下に隣接する読み出し配線62、61が示されている。

【0043】図4によれば、第2の実施形態の磁性薄膜メモリは、Y方向に並ぶTMR素子がY方向の中心線から両側（図中の左右）に交互にずれて配置されている。以下、TMR素子が左右に交互にずれて配置されていることを、千鳥状に配置されていると言うこととする。

【0044】また、本実施形態の磁性薄膜メモリは、2つの電界効果型トランジスタがソース領域を共有する構成となっている。

【0045】ここで、プロセスの最小加工寸法をFとし、位置合わせ余裕を0.5Fとする。一般に、電界効果型トランジスタの配置がメモリの集積度を左右するが、例えばドレイン同士が素子分離領域を挟んで隣接する場合、ドレイン電極の間隔を2Fとすると集積度が高くできる。第2の実施形態の磁性薄膜メモリは、Y方向のTMR素子411、41、42が千鳥状に配置されているので、図4に示したように、各TMR素子41、42に接続されたプラグの間隔が電界効果型トランジスタの素子分離領域3を挟んで2Fとなっている。そのため、TMR素子を電界効果型トランジスタのドレイン領域の直上に配置したレイアウトが実現でき、加工が容易となり製造コストが削減される。

【0046】これに対して、第1の実施形態では、図2（a）に示したように、TMR素子41とTMR素子42の間には、幅がFの配線が2本と、幅が0.5Fの位置合わせ余裕が3つあるので、TMR素子41とTMR素子42の間隔は3.5Fである。そのため、集積度を最大にするように配置された電界効果型トランジスタのドレイン領域の直上に、TMR素子を配置できない。

（第3の実施形態）図5は、第3の実施形態の磁性薄膜メモリのレイアウト図である。図6は、図5に示された磁性薄膜メモリの断面構造図である。図6（a）はA-A'断面、図6（b）はB-B'断面の断面構造図である。

【0047】図5および図6（a）には、A-A'断面に関連して、X方向に隣接したTMR素子41、42と、2つのTMR素子41、42に対応する選択用の電界効果型トランジスタと、Y配線71、72と、読み出し配線6が示されている。また、図5および図6（b）

には、B-B'断面に関連して、X方向に隣接したTMR素子412、422と、2つのTMR素子412、422に対応する選択用の電界効果型トランジスタと、A-A'断面と同じY配線71、72と、読み出し配線61が示されている。

【0048】図5によれば、Y配線71とY配線72とは線対称の形状となっている。また、図5によれば、A-A'断面において、TMR素子41とTMR素子42の間隔は2Fであり、B-B'断面において、TMR素子412とTMR素子422の間隔が3.5Fである。

【0049】図6(a)を参照すると、A-A'断面では、TMR素子41とTMR素子42との間隔が2Fなので、TMR素子41とTMR素子42を電界効果型トランジスタの素子分離領域3を挟んでドレイン領域の直上に配置し、Y配線をゲート電極の直上にすることが可能となっている。

【0050】また、B-B'断面においてTMR素子412とTMR素子422の間隔を3.5Fとして、第3の実施形態の磁性薄膜メモリにおいては、TMR素子を囲むY配線をTMR素子の外面より0.75F程度張り出させることができるので、そのため、Y配線の電流により誘起される磁場がTMR素子に効果的に印加される。

【0051】これに対して、第2の実施形態では、図4(a)に示したように、Y配線がTMR素子の外面と一致する位置までしか囲んでいないので、その部分では、Y配線の電流により誘起される磁場が効果的にTMR素子に印加されていない。

#### 【0052】

【発明の効果】本発明によれば、配線が磁気抵抗効果素子を囲むように配置されているので、配線に電流が流れることにより誘起される磁場が磁気抵抗効果素子に効果的に印加され、配線に流す電流を増大させることなく、磁気抵抗効果素子に印加される磁場を増大させることができ、低消費電力で、配線が断裂しにくい磁気メモリ装置を実現することができる。

【0053】また、配線が複数の磁気抵抗効果素子を縫うように蛇行して配置されているので、配線に電流を流

すと、隣接する磁気抵抗効果素子に同時に逆方向の磁場が印加されるので、2つの磁気抵抗効果素子を対として相補動作し、1ビットの情報を記録する磁気メモリ装置を容易に実現することができる。

【0054】また、配線によって縫われる複数の磁気抵抗効果素子が交互にずれて配置されているので、配線の延伸方向に垂直な方向に互いに隣接する磁気抵抗効果素子の間隔を狭めることができ、加工が容易な構造とすることができる。

【0055】また、第2の書き込み配線で読み出し配線を兼ねることができるので、読み出し配線の数を削減することができ、加工が容易で製造コストが低減される。

#### 【図面の簡単な説明】

【図1】第1の実施形態の磁性薄膜メモリにおけるTMR素子および配線の配置を模式的に示した図である。

【図2】第1の実施形態の磁性薄膜メモリのレイアウト図と、それに対応する断面構造図である。

【図3】第1の実施形態の磁性薄膜メモリのX配線をTMR素子に接続した場合のレイアウト図である。

【図4】第2の実施形態の磁性薄膜メモリのレイアウト図と、それに対応する断面構造図である。

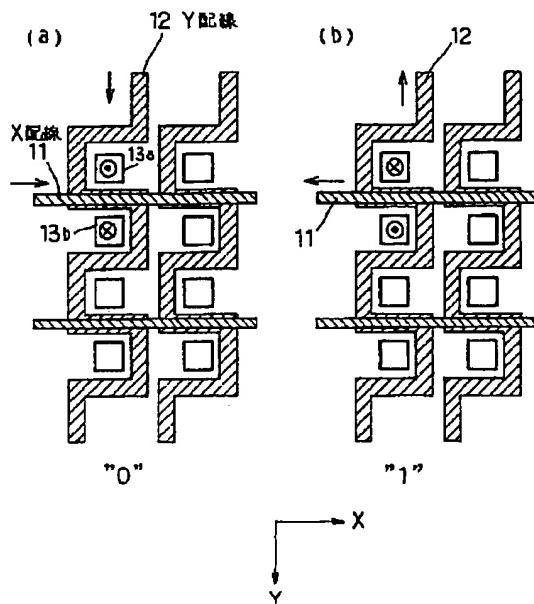
【図5】第3の実施形態の磁性薄膜メモリのレイアウト図である。

【図6】図5に示された磁性薄膜メモリの断面構造図である。

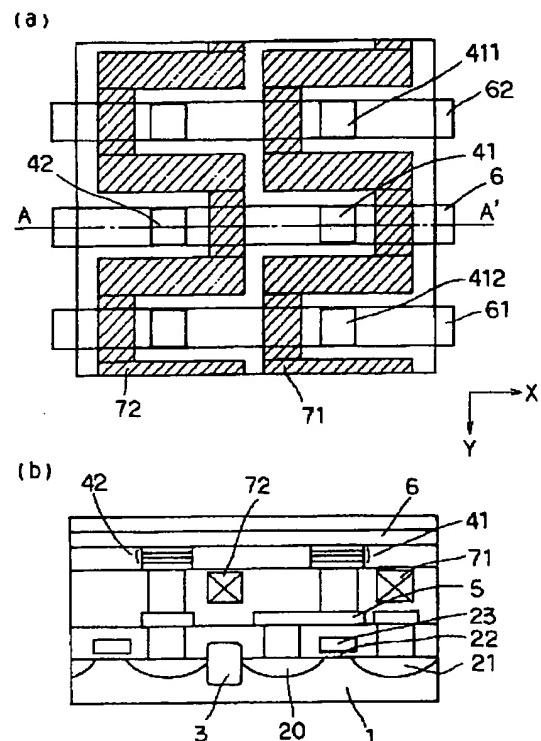
#### 【符号の説明】

- |                                 |             |
|---------------------------------|-------------|
| 1                               | p型シリコン基板    |
| 20, 201, 21, 211                | n型拡散領域      |
| 22, 221                         | ゲート絶縁膜      |
| 23, 231                         | ポリシリコンゲート電極 |
| 3                               | 素子分離領域      |
| 11                              | X配線         |
| 12, 71, 72                      | Y配線         |
| 13a, 13b, 41, 411, 412, 42, 422 | TMR素子       |
| 5, 51                           | TiNローカル配線   |
| 6, 61, 62                       | 読み出し配線      |

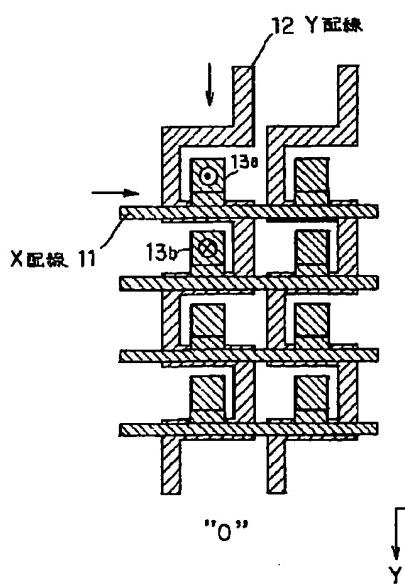
【図1】



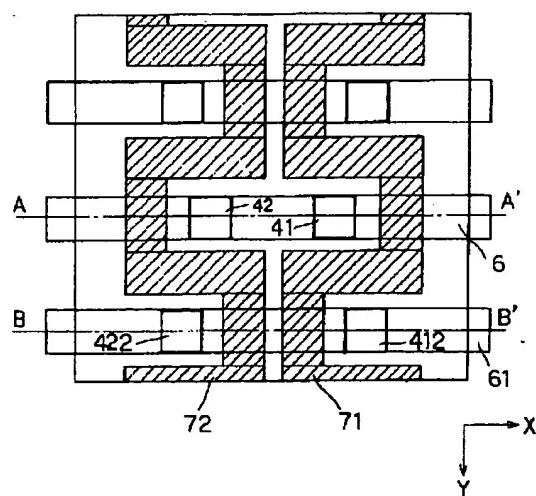
【図2】



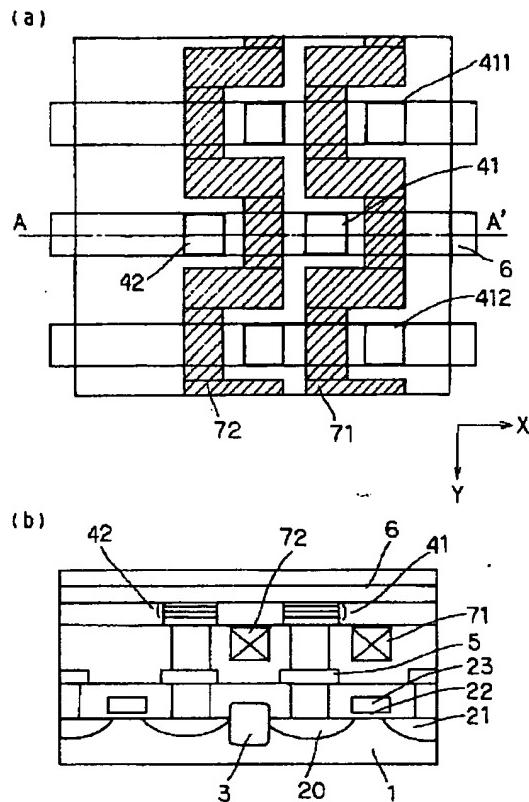
【図3】



【図5】



【図4】



【図6】

